

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

24.08.00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 8月24日

REC'D 06 NOV 2000

WIPO PCT

出 願 番 号
Application Number:

平成11年特許願第236946号

出 願 人
Applicant(s):

日本電気株式会社

EKV

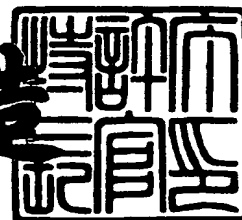
CERTIFIED COPY OF
PRIORITY DOCUMENT

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年10月20日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3085315

【書類名】 特許願

【整理番号】 53310317

【提出日】 平成11年 8月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 7/24

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 東海林 隆

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100070219

【弁理士】

【氏名又は名称】 若林 忠

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送信回路

【特許請求の範囲】

【請求項 1】 信号に所定の遅延を与えて送信する送信回路であって、
前記信号に、所定の分解能で遅延を与える第 1 の遅延回路と、
前記第 1 の遅延回路の出力信号に、前記第 1 の遅延回路よりも高分解能で遅延
を与える第 2 の遅延回路と、
前記所定の遅延を超えず、かつ前記所定の分解能の遅延で与えることができる
最大値である第 1 の遅延量を算出し、該第 1 の遅延量を前記第 1 の遅延回路に指
示し、前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算
出し、該第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する送信回路。

【請求項 2】 前記第 1 の遅延回路の後段であって前記第 2 の遅延回路の前
段にオーバサンプリングフィルタで構成された送信フィルタを有し、
前記第 2 の遅延回路の分解能は、前記送信フィルタの出力信号のサンプリング
周期に等しい請求項 1 記載の送信回路。

【請求項 3】 複数の基地局装置の送信信号にそれぞれ所定の遅延を与える
ことで送信タイミングを一致させる移動体通信システムに用いる前記基地局装置
用の送信回路であって、

前記信号に、所定の分解能で遅延を与える第 1 の遅延回路と、
前記第 1 の遅延回路の出力信号に、前記第 1 の遅延回路よりも高分解能で遅延
を与える第 2 の遅延回路と、

前記所定の遅延が変更可能に設定され、該所定の遅延を制御部に通知する送信
タイミング設定部と、

前記所定の遅延を超えず、かつ前記所定の分解能で与えることができる最大値
である第 1 の遅延量を算出し、該第 1 の遅延量を前記第 1 の遅延回路に指示し、
前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算出し、
該第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する送信回路。

【請求項 4】 前記第 1 の遅延回路の後段であって前記第 2 の遅延回路の前段にオーバサンプリングフィルタで構成された送信フィルタを有し、

前記第 2 の遅延回路の分解能は、前記送信フィルタの出力信号のサンプリング周期と等しい請求項 3 記載の送信回路。

【請求項 5】 複数の信号を合成して送信する基地局装置を複数有し、前記基地局装置の送信信号にそれぞれ所定の遅延を与えることで送信タイミングを一致させる移動体通信システムに用いる基地局装置用の送信回路であって、

前記複数の信号に、それぞれ所定の分解能で遅延を与える複数の第 1 の遅延回路と、

複数の前記第 1 の遅延回路の出力信号を合成する加算器と、

前記加算器の出力信号に高分解能の遅延を与える第 2 の遅延回路と、

前記所定の遅延が変更可能に設定され、該所定の遅延を制御部に通知する送信タイミング設定部と、

前記所定の遅延を超えず、かつ前記所定の分解能で遅延を与えることができる最大値である第 1 の遅延量を算出し、該第 1 の遅延量を前記第 1 の遅延回路に指示し、前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算出し、該第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する送信回路。

【請求項 6】 前記第 1 の遅延回路の後段であって前記加算器の前段にオーバサンプリングフィルタで構成された複数の送信フィルタを有し、

前記第 2 の遅延回路の分解能は、前記送信フィルタの出力信号のサンプリング周期と等しい請求項 5 記載の送信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA 移動通信で用いる送信方法、送信回路および基地局装置に関し、特に遅延により送信タイミング調整を行う送信方法、送信回路および基地局装置に関する。

【0002】

【従来の技術】

符号分割多重（CDMA）方式は、送信機において同一周波数帯で送信すべき情報系列をチャンネルごとに異なる拡散符号を用いて拡散して送信し、受信機において受信信号を送信に用いたものと同じの拡散符号で逆拡散して情報系列を取り出す多重化通信方式である。もっとも基本的な直接拡散CDMA方式では、同一周波数帯で送信すべき情報系列はすべて異なる拡散符号によって拡散される。通常、拡散符号には自己相関、相互相関がともに良好な符号が用いられる。

【0003】

CDMA方式は移動体通信に適用されると、移動機が複数基地局のカバーエリアをまたいで移動したときに、その移動機を収容する基地局が切り替わるハンドオーバーと呼ばれる処理が行われる。CDMA方式におけるハンドオーバーは、一般的に、移動機がハンドオーバー元の基地局とハンドオーバー先の基地局の両方からの信号を受信し、順次受信割合を移していく方法がとられる。これによって受信情報系列が途切れることのないハンドオーバーを行うことができる。移動機は、拡散符号が異なるが、周波数的、時間的には重なり合った複数の信号の合成波を受信しており、所定の拡散符号によって逆拡散することで自己宛ての情報系列を取り出す。したがって、複数の逆拡散回路を持てば、受信回路は1つで複数の情報系列の受信が可能である。

【0004】

この場合に、基地局ごとに送信タイミングが異なっていると、移動機で両基地局からの信号のタイミング合わせを行う必要があり蓄積する情報量が増大し、それによって蓄積するためのメモリ等の規模が増大するので、小型化が必要な移動機には不都合である。したがって、両基地局の送信タイミングが完全に一致していることが望ましい。そのため、一般に基地局はGPSを利用して絶対時間上の特定タイミングで送信する構成となっている。また、各基地局の送信タイミングを完全に一致させるためには、各基地局の送信アンテナ端で絶対時間を規定すべきである。しかし、各基地局が全て同一の設置条件で設置できるわけではなく、基地局の送信装置からアンテナへのフィード配線長は各基地局によって異なる。これを基地局の送信装置で調整することが望ましい。

【0005】

【発明が解決しようとする課題】

拡散符号の周期の先頭を一致させるためには、拡散符号の先頭を任意のタイミングに調整可能にする必要がある。一般に、この種のタイミング調整にはFIFOメモリ等のメモリが用いられ、所定の遅延分だけ蓄積し、その後に出力する構成が採られる。拡散符号の1周期分の情報を所定の精度で調整するための分解能でサンプリングして蓄積するためのFIFOメモリ等の回路が必要となる。分解能を上げて高い精度で調整可能にしようとする、基地局の回路規模が増大してしまい大きなコストアップとなってしまう。例えば、拡散符号の周期が64オクテットである場合に分解能を4倍に上げようとする、必要なFIFOメモリ等の容量は64オクテットから256オクテットに増大してしまう。

【0006】

本発明は上記したような従来技術の有する問題を解決するためになされたものであり、CDMA移動通信の基地局に適した送信方法および回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため本発明の送信回路は、信号に所定の遅延を与えて送信する送信回路であって、

前記信号に、所定の分解能で遅延を与える第1の遅延回路と、

前記第1の遅延回路の出力信号に、前記第1の遅延回路よりも高分解能で遅延を与える第2の遅延回路と、

前記所定の遅延を超えず、かつ前記所定の分解能の遅延で与えることができる最大値である第1の遅延量を算出し、その第1の遅延量を前記第1の遅延回路に指示し、前記所定の遅延から前記第1の遅延量を引いた値である第2の遅延量を算出し、該第2の遅延量を前記第2の遅延回路に指示する制御部と、を有する構成である。

【0008】

また、本発明の送信回路の別の構成は、複数の基地局装置の送信信号にそれぞれ

れ所定の遅延を与えることで送信タイミングを一致させる移動体通信システムに用いる前記基地局装置用の送信回路であって、

前記信号に、所定の分解能で遅延を与える第 1 の遅延回路と、

前記第 1 の遅延回路の出力信号に、前記第 1 の遅延回路よりも高分解能で遅延を与える第 2 の遅延回路と、

前記所定の遅延が変更可能に設定され、該所定の遅延を制御部に通知する送信タイミング設定部と、

前記所定の遅延を超えず、かつ前記所定の分解能で与えることができる最大値である第 1 の遅延量を算出し、該第 1 の遅延量を前記第 1 の遅延回路に指示し、前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算出し、該第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する構成である。

【0009】

さらにまた、本発明の送信回路の別の構成は、複数の信号を合成して送信する基地局装置を複数有し、前記基地局装置の送信信号にそれぞれ所定の遅延を与えることで送信タイミングを一致させる移動体通信システムに用いる基地局装置用の送信回路であって、

前記複数の信号に、それぞれ所定の分解能で遅延を与える複数の第 1 の遅延回路と、

複数の前記第 1 の遅延回路の出力信号を合成する加算器と、

前記加算器の出力信号に高分解能の遅延を与える第 2 の遅延回路と、

前記所定の遅延が変更可能に設定され、その所定の遅延を制御部に通知する送信タイミング設定部と、

前記所定の遅延を超えず、かつ前記所定の分解能で遅延を与えることができる最大値である第 1 の遅延量を算出し、その第 1 の遅延量を前記第 1 の遅延回路に指示し、前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算出し、その第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する構成である。

【0010】

なお、上記した本発明の全ての送信回路は、前記第1の遅延回路の後段あって前記第2の遅延回路の前段にオーバーサンプリングフィルタで構成された送信フィルタを有し、

前記第2の遅延回路の分解能を、前記送信フィルタの出力信号のサンプリング周期に等しい値としてもよい。

【0011】

上記のように構成された本発明の送信回路は、第1の遅延回路と第2の遅延回路とをFIFOメモリで構成した場合、従来では（調整範囲分のデータ量）×（第1の遅延回路に対する第2の遅延回路の分解能の倍率）のメモリが必要であったものが、本発明では（調整範囲分のデータ量）+（第1の遅延回路に対する第2の遅延回路の分解能の倍率）のメモリで足りる。つまり、少ない回路規模で分解能の高い遅延を与えることが可能な送信回路を実現できる。

【0012】

また、第2の遅延回路の分解能を、送信フィルタの出力信号のサンプリング周期に等しい値とすることで、アップサンプリングを行う機能を、送信機には必須である送信フィルタで実現できるので、別途アップサンプリングを行う必要が無い。

【0013】

【発明の実施の形態】

次に本発明の実施形態について、図面を参照して詳細に説明する。

（第1の実施の形態）

図1は、本発明の第1の実施の形態のCDMA送信回路の構成を示すブロック図である。

【0014】

本実施形態のCDMA送信回路の構成について説明する。

【0015】

図1において、情報系列 S_1 、 S_2 、…、 S_n は送信すべき複数の情報系列である。

【0016】

拡散符号生成回路 1_1 、 1_2 、 \dots 、 1_n は、情報系列 S_1 、 S_2 、 \dots 、 S_n の拡散にそれぞれ用いられる拡散符号を生成する。

【0017】

乗算器 2_1 、 2_2 、 \dots 、 2_n は、情報系列 S_1 、 S_2 、 \dots 、 S_n に拡散符号生成回路 1_1 、 1_2 、 \dots 、 1_n から供給される拡散符号をそれぞれ乗じることによって情報系列 S_1 、 S_2 、 \dots 、 S_n を拡散する。

【0018】

第1のタイミング調整回路 3_1 、 3_2 、 \dots 、 3_n は制御回路 80 により制御され、乗算器 2_1 、 2_2 、 \dots 、 2_n の出力信号に対してそれぞれ拡散符号のサブリング周期の i 倍（以下、 i を第1の遅延段数と呼ぶ。 i は1以上の整数である。）の遅延を与えて送信タイミングを調整する。第1のタイミング調整回路 3_1 、 3_2 、 \dots 、 3_n はそれぞれ F I F O メモリにより構成され、同時にアクセスする書き込みアドレスと読み出しアドレスに i 番地の差分を与えることで、入力信号を遅延すべき時間だけ保持し、その後に出力する。

【0019】

送信フィルタ 4_1 、 4_2 、 \dots 、 4_n は、それぞれ第1のタイミング調整回路 3_1 、 3_2 、 \dots 、 3_n の出力信号の周波数成分を制限して送信波形を成形する送信フィルタであり、拡散符号のサブリング周期よりも短い周期（以下、オーバサブリング周期と呼ぶ。）の信号を出力するオーバサブリングフィルタである。

【0020】

第2のタイミング調整回路 5_1 、 5_2 、 \dots 、 5_n は制御回路 80 により制御され、送信フィルタ 4_1 、 4_2 、 \dots 、 4_n の出力信号に対して、それぞれオーバサブリング周期の j 倍（以下、 j を第2の遅延段数と呼ぶ。 j は1以上の整数である。）の遅延を与えて送信タイミングを調整する。

【0021】

第2のタイミング調整回路 5_1 、 5_2 、 \dots 、 5_n はそれぞれ F I F O メモリにより構成され、同時にアクセスする書き込みアドレスと読み出しアドレスに j 番地の差分を与えることで、入力信号を遅延すべき時間だけ保持し、その後に出力する。

【0022】

合成器60は、第2の送信タイミング調整回路 5_1 、 5_2 、…、 5_n の出力信号を合成することにより送信信号を生成する。

【0023】

送信タイミング設定部70は、その基地局における所望の遅延量を制御部80に指示する。

【0024】

制御部80は、送信タイミング設定部70から指示された遅延量に基づいて、第1の遅延段数と第2の遅延段数とを算出し、第1のタイミング調整回路 3_1 、 3_2 、…、 3_n に第1の遅延段数を指示し、第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に第2の遅延段数を指示する。

【0025】

次に、本実施形態の送信機の動作について説明する。

【0026】

送信タイミング設定部70から所定の遅延量を指示されると、制御部80は指示された遅延量から第1の遅延段数と第2の遅延段数を算出し、第1のタイミング調整回路 3_1 、 3_2 、…、 3_n に第1の遅延段数を指示し、第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に第2の遅延段数を指示する。

【0027】

一方、情報系列 S_1 、 S_2 、…、 S_n は、乗算器 2_1 、 2_2 、…、 2_n において拡散符号生成回路 1_1 、 1_2 、…、 1_n で生成された拡散符号と乗算されることで拡散され、第1のタイミング調整回路 3_1 、 3_2 、…、 3_n に入力される。第1のタイミング調整回路 3_1 、 3_2 、…、 3_n はFIFOメモリを同時にアクセスする書き込みアドレスと読み出しアドレスに制御部80から指示された第1の遅延段数だけ差分を与え、信号を遅延させる。第1のタイミング調整回路 3_1 、 3_2 、…、 3_n の出力信号は送信フィルタ 4_1 、 4_2 、…、 4_n に入力される。送信フィルタ 4_1 、 4_2 、…、 4_n は入力信号の周波数制限を行うと共に、サンプリング周期の間を補間しアップサンプリングを行い、オーバサンプリング周期で第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に出力する。第2のタイミング調整回路 5_1 、 5_2 、…、 5_n は入力信号の周波数制限を行うと共に、サンプリング周期の間を補間しアップサンプリングを行い、オーバサンプリング周期で第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に出力する。第2のタイミング調整回路 5_1 、 5_2 、…、 5_n は入力信号の周波数制限を行うと共に、サンプリング周期の間を補間しアップサンプリングを行い、オーバサンプリング周期で第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に出力する。

…、 5_n は、FIFOメモリを同時にアクセスする書き込みアドレスと読み出しアドレスに制御部80から指示された第2の遅延段数だけ差分を与えて信号を遅延させる。第2のタイミング調整回路 5_1 、 5_2 、…、 5_n の出力信号は、加算器60によって合成され、送信回路の出力信号が生成される。

【0028】

図2は、本実施形態の送信回路のタイミング調整の概要を示すタイミングチャートである。

【0029】

図2において、第2のタイミング調整回路 5_1 、 5_2 、…、 5_n の分解能は、例として第1のタイミング調整回路 3_1 、 3_2 、…、 3_n の分解能の4倍とする。つまり、送信フィルタ 4_1 、 4_2 、…、 4_n は4倍のアップサンプリングを行う場合を示している。また、拡散符号の周期は64オクテットとする。また、所定の遅延量は、例として第2のタイミング調整回路 5_1 、 5_2 、…、 5_n の分解能に換算して6段分とする。

【0030】

送信タイミング設定部70から所定の遅延量を指示された制御部80は、第1のタイミング調整回路 3_1 、 3_2 、…、 3_n に第1の遅延段数 $i=1$ を指示し、第2のタイミング調整回路 5_1 、 5_2 、…、 5_n に第2の遅延段数 $j=2$ を指示する。

【0031】

乗算器 2_1 、 2_2 、…、 2_n において拡散された信号は、第1のタイミング調整回路 3_1 、 3_2 、…、 3_n で1段の遅延が行われ、続いて送信フィルタ 4_1 、 4_2 、…、 4_n でアップサンプリングされ、さらに第2のタイミング調整回路 5_1 、 5_2 、…、 5_n で2段の遅延が行われる。

【0032】

したがって、分解能の異なる2つのタイミング調整回路で調整を行う構成としているので、必要なFIFOメモリの容量が少なく分解能の高いタイミング調整が可能になる。拡散符号の周期が64オクテットである場合、4倍の分解能で調整可能な構成とするために、従来は256（ 64×4 ）オクテットのメモリ容量

が必要であったが、本実施形態では68(64+4)オクテットのメモリ容量で済んでいる。つまり、高分解能の調整を可能としても回路規模の増大が抑制されて低コストで送信回路を実現することができる。

【0033】

なお、本実施形態の送信回路はCDMA移動体通信の基地局に用いてもよい。この場合、高い分解能でタイミング調整可能な基地局をコストを増大させることなく構成でき、設置条件の異なる設置が可能な基地局をコストを増大させることなく提供できる。それによって、基地局の設置条件の自由度が増す。

【0034】

また、本実施形態の送信回路を用いた基地局をCDMA移動体通信システムに用いてもよい。この場合、基地局のコストを増大させることなく全ての基地局のタイミングをアンテナ端で絶対時間に調整することができ、移動機でのタイミング調整が不要となるので、システムのコストを低減することができる。

【0035】

(第2の実施の形態)

図3は、第2の実施の形態のCDMA送信回路の構成を示すブロック図である。

【0036】

図3に示すように第2の実施の形態の送信回路は、第1の実施の形態で示したCDMA送信回路の第2のタイミング調整回路 5_1 、 5_2 、…、 5_n の代わりに、オーバーサンプリング周期の k 倍(以下、 k を第3の遅延段数と呼ぶ。 k は1以上の整数である。)で遅延を行うタイミング調整回路(以下、第3のタイミング調整回路と呼ぶ)を加算器61の後段に設けた構成である。その他の構成は、第1の実施の形態と同様であるためその説明は省略する。

【0037】

このような構成において、制御部81は送信タイミング設定部70から指示された遅延量から第1の遅延段数と第3の遅延段数を算出し、第1のタイミング調整回路に第1の遅延段数を指示し、第3のタイミング調整回路90に第3の遅延段数を指示する。

【0038】

送信フィルタの出力信号は加算器 6 1 によって合成されて、第 3 のタイミング調整回路 9 0 に入力される。第 3 のタイミング調整回路 9 0 は、F I F O メモリを同時にアクセスする書き込みアドレスと読み出しアドレスに制御部 8 1 から指示された第 3 の遅延段数だけ差分を与え、信号を遅延させる。

【0039】

以上に説明した以外の動作は、第 1 の実施の形態の場合と同様の動作である。

したがって、オーバサンプリング周期の k 倍の遅延が、複数信号の共通回路である第 3 のタイミング調整回路 9 0 によって行われるので、必要な F I F O メモリの容量をさらに少なく分解能の高いタイミング調整ができ、回路規模の増大を抑えコストを少なく送信回路を実現することができる。

【0040】

なお、第 1 の実施の形態、第 2 の実施の形態において、第 1 のタイミング調整回路 3_1 、 3_2 、 \dots 、 3_n 、第 2 のタイミング調整回路 5_1 、 5_2 、 \dots 、 5_n 、第 3 のタイミング調整回路 9 0 はのメモリによる構成で説明したが、シフトレジスタによる構成としてもよい。

【0041】

この場合にも、メモリによる場合と同様の効果を得ることができる。

【0042】

【発明の効果】

以上説明したように本発明は、以下のような効果を有する。

【0043】

第 1 の遅延回路と、第 1 の遅延回路よりも高い分解能で遅延を与える第 2 の遅延回路と、遅延回路に遅延量を指示する制御部とを有する送信回路を提供することで、少ない回路規模で高い分解能の遅延を与えることが可能となり、低コストで高分解能の送信タイミングの調整が可能な送信回路を実現することができる。

【0044】

なお、第 2 の遅延回路の前段にオーバサンプリングフィルタで構成された送信フィルタを設け、第 2 の遅延回路の分解能を送信フィルタの出力信号のサンプリ

ング周期に等しい値とすると、送信機に必須である波形成形のための送信フィルタでアップサンプリングを行うので、遅延を与えるために別途アップサンプリングを行う必要がなく回路規模をさらに削減することができ、低コストの送信回路を提供できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の CDMA 送信回路の構成を示すブロック図である。

【図 2】

本実施形態の送信回路のタイミング調整の概要を示すタイミングチャートである。

【図 3】

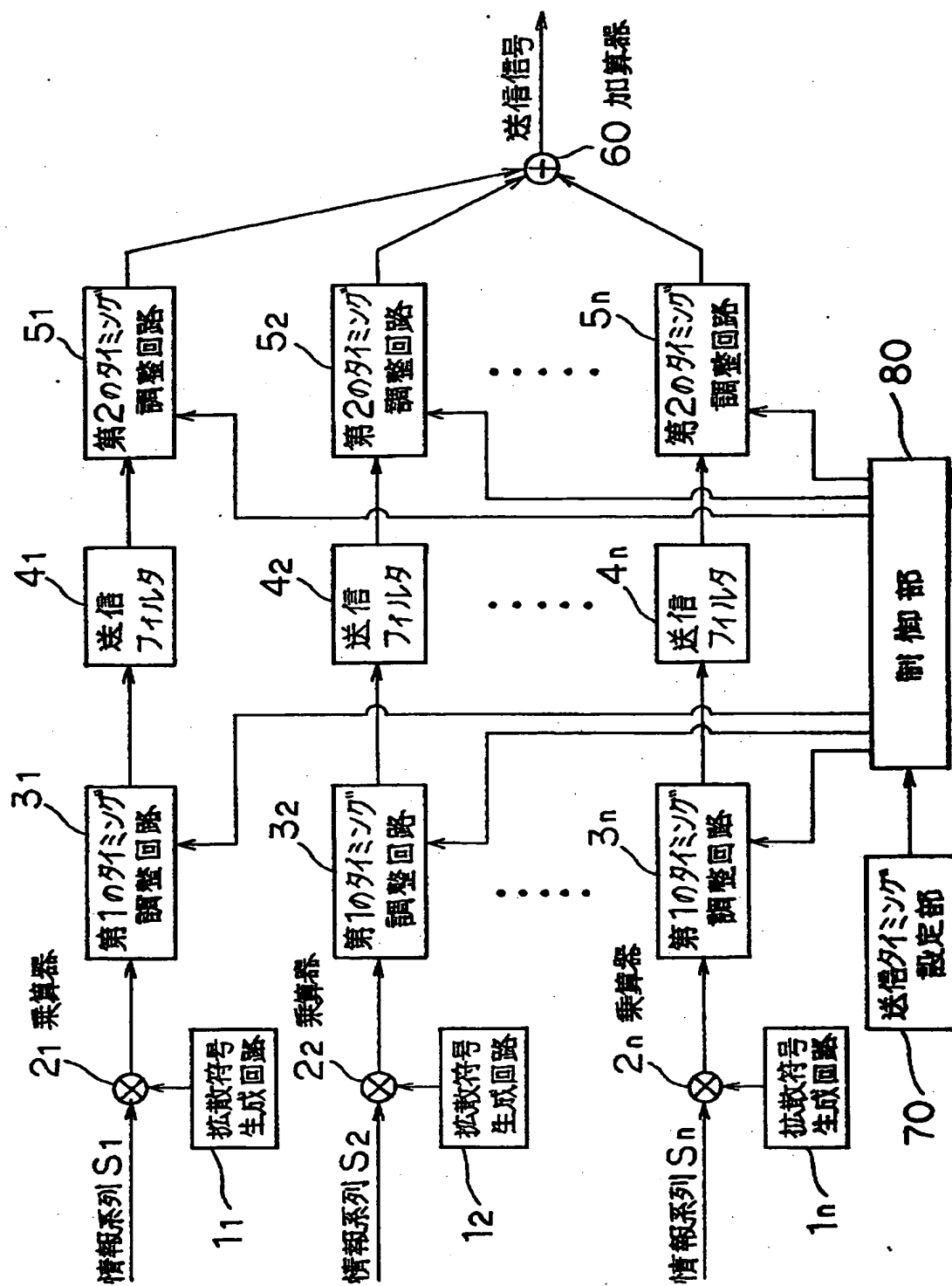
第 2 の実施の形態の CDMA 送信回路の構成を示すブロック図である。

【符号の説明】

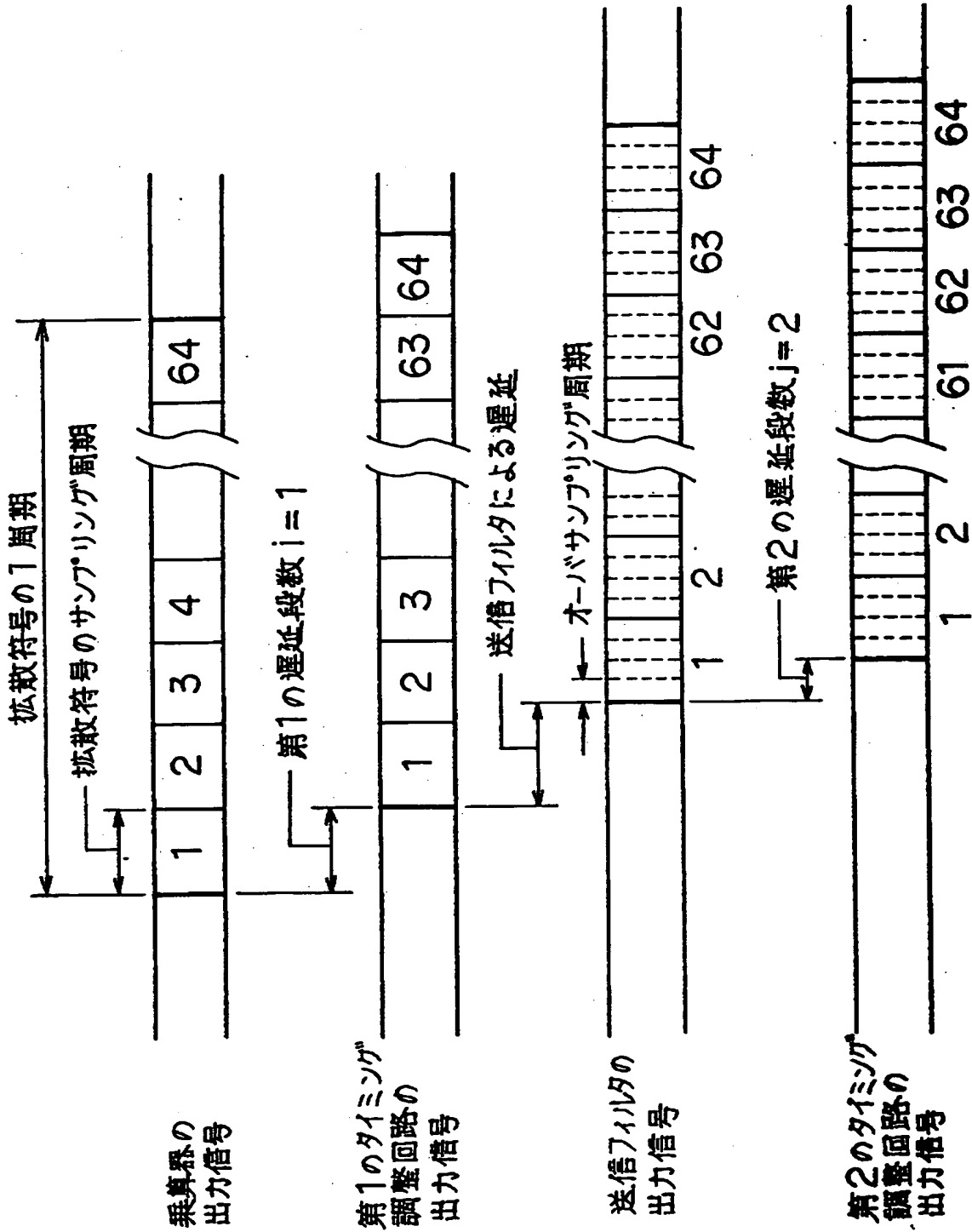
- 1₁ ~ 1_n 拡散符号生成回路
- 2₁ ~ 2_n 乗算器
- 3₁ ~ 3_n 第 1 のタイミング調整回路
- 4₁ ~ 4_n 送信フィルタ
- 5₁ ~ 5_n 第 2 のタイミング調整回路
- 6 0 加算器
- 7 0 送信タイミング設定部
- 8 0 制御部
- 9 0 第 3 のタイミング調整回路

【書類名】 図面

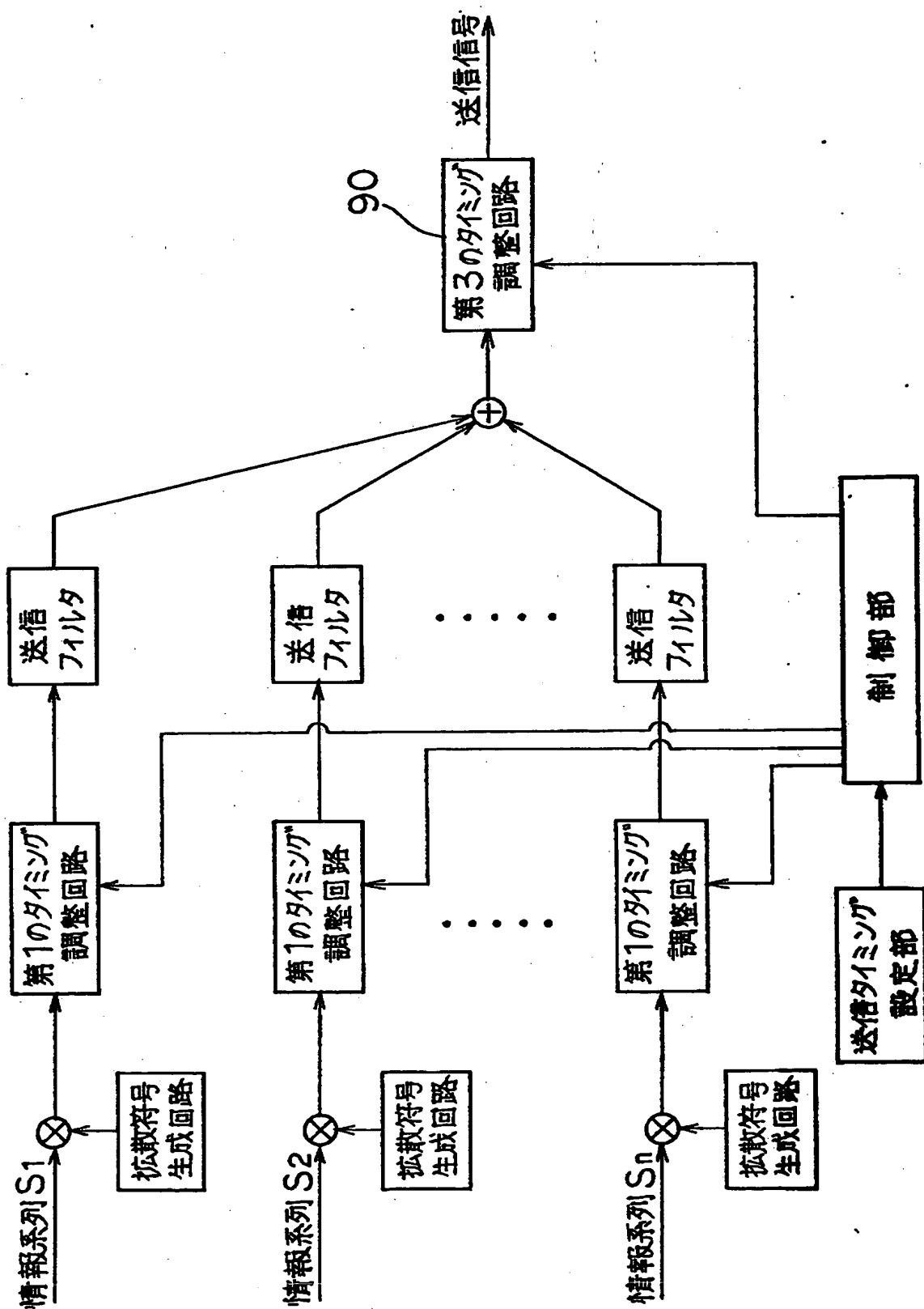
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【課題】 回路規模の増加を少なく、信号に所定の遅延を与えて送信する送信回路を構成する。

【解決手段】 信号に、所定の分解能で遅延を与える第 1 の遅延回路と、

前記第 1 の遅延回路の出力信号に、前記第 1 の遅延回路よりも高分解能で遅延を与える第 2 の遅延回路と、

前記所定の遅延を超えず、かつ前記所定の分解能の遅延で与えることができる最大値である第 1 の遅延量を算出し、その第 1 の遅延量を前記第 1 の遅延回路に指示し、前記所定の遅延から前記第 1 の遅延量を引いた値である第 2 の遅延量を算出し、該第 2 の遅延量を前記第 2 の遅延回路に指示する制御部と、
を有する送信回路。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社